

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-016274

(43) Date of publication of application : 19.01.1996

---

(51) Int.CI. G06F 1/04

---

(21) Application number : 06-143329 (71) Applicant : SANYO ELECTRIC CO LTD  
TOTTORI SANYO ELECTRIC CO LTD

(22) Date of filing : 24.06.1994 (72) Inventor : YAMASHITA TAKAHIRO

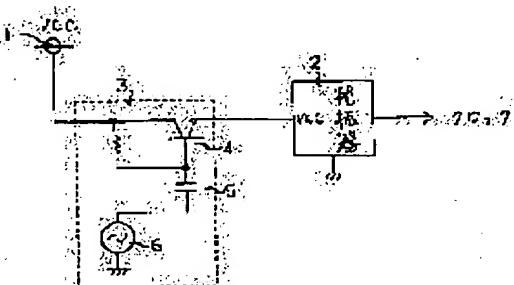
---

**(54) METHOD AND CIRCUIT FOR REDUCING UNNECESSARY RADIATION IN ELECTRONIC INSTRUMENT**

**(57) Abstract:**

PURPOSE: To reduce a high frequency level, to prevent the waveform of a clock from being weakened and to attain both of a counterplan for unnecessary radiation and the stable operation of an equipment by forcedly adding jitter to a clock to be supplied to a digital circuit.

CONSTITUTION: A noise generator 3 superposes a noise component to prescribed DC driving voltage outputted from a power supply 1 and supplies the superposed voltage as driving voltage for an oscillator 2. In the case of impressing the driving voltage to the oscillator 2 through the generator 3, the conduction of a transistor 4 is controlled in accordance with a sine wave outputted from a sine wave generating circuit 6, so that unstable voltage is supplied to the oscillator 2. In the level of an output clock from the oscillator when the driving voltage is unstable, a peak level disappears and a wide frequency band is extended at a low level. Since this characteristic is more remarkable in higher harmonic, the output level of the higher harmonic can be effectively reduced.




---

**LEGAL STATUS**

[Date of request for examination] 21.10.1997

[Date of sending the examiner's decision of rejection] 15.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-16274

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.<sup>6</sup>

G 06 F 1/04

識別記号 厅内整理番号

A

F I

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 4 頁)

(21) 出願番号 特願平6-143329

(22) 出願日 平成6年(1994)6月24日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72) 発明者 山下 隆弘

鳥取県鳥取市南吉方3丁目201番地 鳥取

三洋電機株式会社内

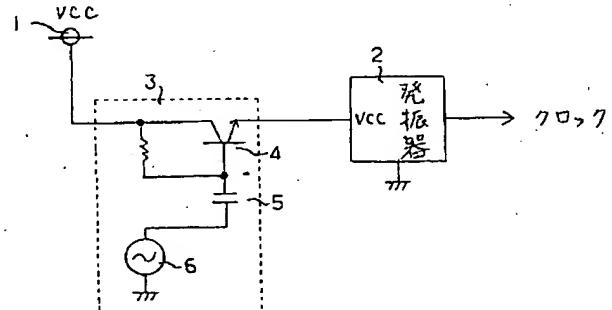
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 電子機器の不要輻射低減方法及びその回路

(57)【要約】

【目的】 本発明はクロックの高調波レベルを低減すると共にクロック波形の鈍りを抑えることを目的とする。

【構成】 電源(1)より出力された所定電圧にノイズジェネレータ(3)を用いてノイズを重畠させた電圧を発振器(2)の駆動電圧として供給する。



## 【特許請求の範囲】

【請求項1】 発振器の駆動電圧にノイズを付加することを特徴とする電子機器の不要輻射低減方法。

【請求項2】 発振器より出力されたクロックを周波数変調することを特徴とする電子機器の不要輻射低減方法。

【請求項3】 クロックを発生する発振器と、該発振器に駆動電圧を供給する電源と、該電源より上記発振器に供給される駆動電圧にノイズを付加する手段とを備えたことを特徴とする電子機器の不要輻射低減回路。

【請求項4】 請求項3の上記ノイズ付加手段は、正弦波発生回路と、上記駆動電圧の供給線路上に配され、上記正弦波発生回路より発生される正弦波によりオンオフされるスイッチング回路とを備えたことを特徴とする電子機器の不要輻射低減回路。

【請求項5】 デジタル回路に供給するクロックを発生する発振器と、上記デジタル回路の許容ジッタ範囲内で上記クロックを周波数変調する手段とを備えたことを特徴とする電子機器の不要輻射低減回路。

【請求項6】 請求項5の周波数変調手段は、正弦波発生回路と、該回路より出力される正弦波により電圧値が変動されるリファレンス電圧が一方の入力に供給され、他方の入力には上記発振器より出力されたクロックが供給される高速コンパレータとを備えたことを特徴とする電子機器の不要輻射低減回路。

【請求項7】 請求項4及び6の正弦波発生回路は方形波を正弦波に変換し出力することを特徴とする電子機器の不要輻射低減回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は電子機器の不要輻射低減方法及びその回路に関する。

## 【0002】

【従来の技術】 一般に、電子機器においては基本クロックとして方形波が使用され、この方形波が信号線を介してデジタル回路に与えられる。ところが、方形波は基本波に対して高調波成分を多く含み、この高調波が不要輻射波となり他の信号線や他の機器に影響を与えて回路を誤動作させるという問題があった。

【0003】 このため、例えば米国におけるFCC規格のように各国毎に上記不要輻射のレベルに制限を設けている。

【0004】 この種不要輻射対策としては、従来よりローパスフィルタもしくはEMIフィルタ等を信号線上に介装させる方法が一般的であった(例えば、実開平4-88106号公報参照)。

## 【0005】

【発明が解決しようとする課題】 然るに上記従来方法では、クロック波形が鈍ってしまい(立上がり、立下がりが緩やかになる)、機器が正常に動作しなくなる場合が

あり、不要輻射対策と機器の安定動作との兼ね合いが非常に難しかった。

## 【0006】

【課題を解決するための手段】 本発明は上記課題に鑑みてなされたもので、その特徴はデジタル回路に供給するクロックにジッタを強制的に付加することにある。

【0007】 また、他の特徴は、上記クロックにジッタを付加するために上記クロックを発生する回路に対する駆動電圧にノイズを重畠させることにある。

【0008】 また、他の特徴は、上記クロックを周波数変調することにある。

## 【0009】

【作用】 本発明によれば高調波のレベルを低減できる。

## 【0010】

【実施例】 図1は本発明に基づく第1の実施例を示す回路図であり、(1)は所定の直流駆動電圧を出力する電源、(2)は発振器であり、該発振器は供給される駆動電圧値に従って出力クロックの周波数が変化する。

(3)はノイズジェネレータであり、該ジェネレータは電源(1)より出力された所定の直流駆動電圧にノイズ成分を重畠させたものを上記発振器(2)の駆動電圧として供給する。

【0011】 上記ノイズジェネレータ(3)は、電源(1)と発振器(2)との間に直列に接続されたNPN型のスイッチングトランジスタ(4)と、直流成分カット用のコンデンサ(5)を介して上記トランジスタ(4)のベースに接続された正弦波発生回路(6)とを備える。

【0012】 上記ノイズジェネレータ(3)を介さず電源(1)より発振器(2)に直接駆動電圧を供給する場合には、上記発振器(2)に印加される駆動電圧は図2に破線で示す如く一定となるため、発振器(2)から出力されるクロックの周波数も略一定となる。

【0013】 一方、ノイズジェネレータ(3)を介すると、上記正弦波発生回路(6)より出力される正弦波に従ってトランジスタ(4)の導通が制御され、その結果、発振器(2)には図2中実線で示すような不安定な電圧が供給される。従って、発振器(2)からの出力クロックの周波数もジッタ成分が増え不安定となる。

【0014】 図3はクロックの周波数とそのレベルとを示す図であり、ノイズジェネレータ(3)を介さずに一定の駆動電圧が供給された際の発振器(2)の出力クロックのレベルは図中実線aで示す如く基本周波数にピークを持つ急峻な特性を示す。一方、ノイズジェネレータ(3)を介して駆動電圧を不安定とした際の発振器(2)の出力クロックのレベルは図3中実線bで示す如く、ピークレベルが消え広い周波数帯域において低いレベルでの広がりを示す。

【0015】 このような特性は高調波においてより顕著になるため、高調波の出力レベルを効果的に低減でき

る。

【0016】尚、ノイズ重畠により出力クロックに発生するジッタ成分は上記クロックが供給されるデジタル回路の許容範囲とする必要があり、この許容範囲は通常数%であるが、その範囲内でジッタ成分が付加されると高調波のレベルは最大数10%まで低減できる。

【0017】図4は本発明の第2実施例を示す回路図であり、第1実施例の相違点は、第1実施例では発振器(2)の駆動電圧にノイズを重畠させることにより発振器(2)からの出力時点で既にクロックにジッタを付加されるように構成したのに対し、第2実施例では発振器(2)から出力されたクロックに別途ジッタを付加するようしている。

【0018】具体的には、電源(1)より供給される所定の直流駆動電圧に基づいて発振器(2)より出力されるクロックを周波数変調回路(7)にて周波数変調をかけることによりクロックにジッタ成分を付加するものである。

【0019】上記周波数変調回路(7)は、正入力が発振器(2)の出力端に接続された高速コンパレータ(8)と、該コンパレータ(8)の負入力にリファレンス電圧を供給するリファレンス電源(9)と、上記リファレンス電圧値を変動させて直角カット用コンデンサ(10)を介して上記コンパレータ(8)の正入力に接続された正弦波発生回路(11)とからなる。

【0020】この周波数変調回路(8)では、その負入力には正弦波発生回路(11)より出力される正弦波により周期的に変動するリファレンス電圧が供給されることとなるので、上記回路(8)より出力されるクロックの周波数も変動し、ジッタ成分を含むこととなる。従つて、第1実施例と同様に高調波成分のレベルを低減できる。

【0021】尚、上記第1、第2実施例の正弦波発生回路(6)(11)より出力される正弦波の周波数は発振器(2)より出力されるクロックの基本周波数fより異

なることが好ましい。なぜならば、上記周波数が一致すると、両信号が同期しジッタ成分の付加が不可能となるためである。

【0022】また、上記両実施例では正弦波発生回路(6)(11)を別途設けたが、例えば図5及び図6に示す如き周知のフィルタ回路(12)(13)を用いることにより、電子機器内で利用されるクロックから正弦波を作成することもできる。

### 【0023】

【発明の効果】本発明によれば、発振器から出力されるクロックにジッタ成分を付加することにより高調波レベルを低減できるので、上記クロック波形の鈍りは生じず不要輻射対策と機器の安定動作を両立できる。

### 【図面の簡単な説明】

【図1】本発明の第1実施例を示す回路図である。

【図2】第1実施例の発振器(2)へ供給される駆動電圧特性を示す図である。

【図3】本発明によるクロックの周波数とレベルとの関係を示す図である。

【図4】本発明の第2実施例を示す回路図である。

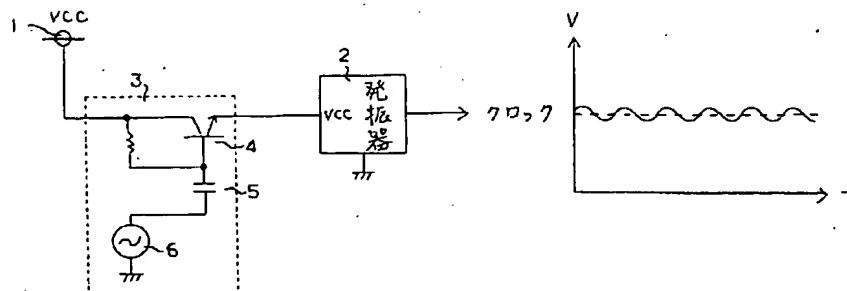
【図5】正弦波発生回路の一例を示す回路図である。

【図6】正弦波発生回路の一例を示す回路図である。

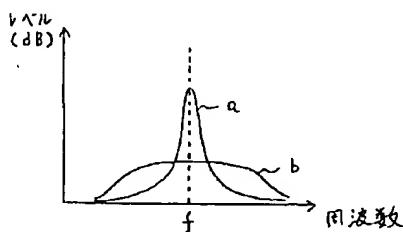
### 【符号の説明】

- 1 電源
- 2 発振器
- 3 ノイズジェネレータ
- 4 スイッチングトランジスタ
- 5 正弦波発生回路
- 6 周波数変調回路
- 7 コンパレータ
- 8 リファレンス電源
- 9 正弦波発生回路
- 10 フィルタ回路
- 11 フィルタ回路

【図1】

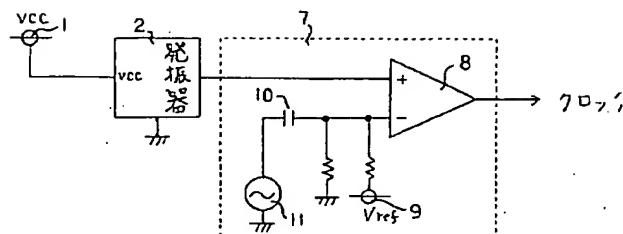


【図2】

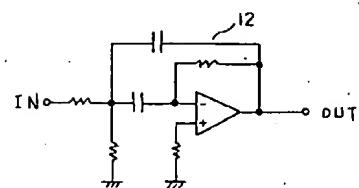


【図3】

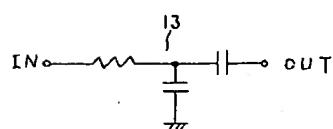
【 図4 】



【 図5 】



【 図6 】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**